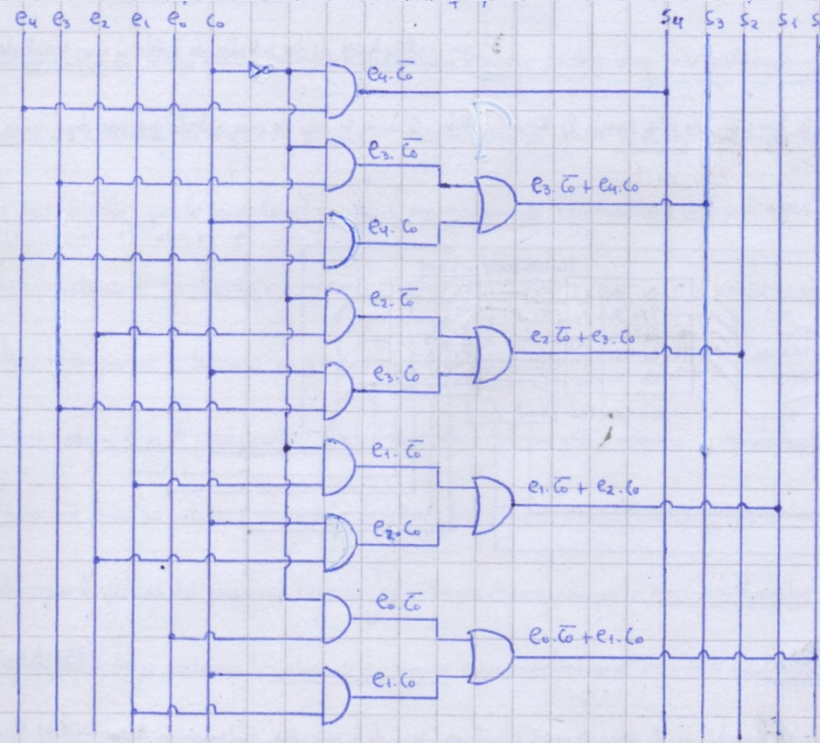


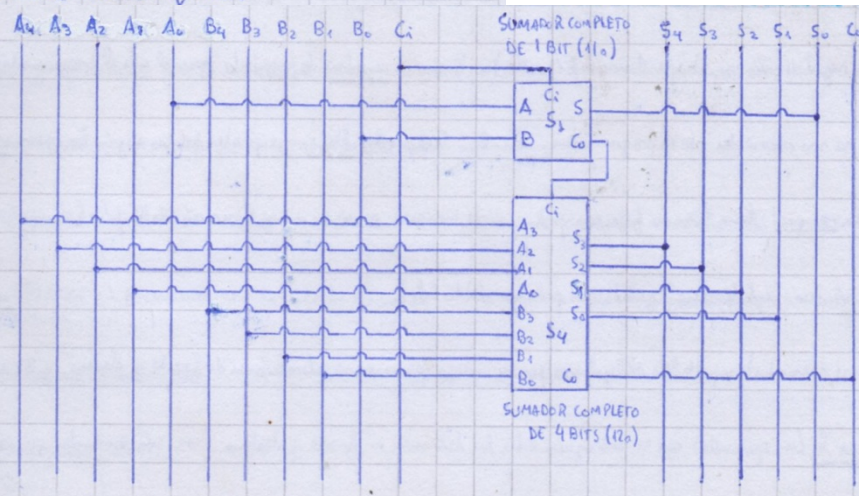
Ejercicio 24a:

24) a) siendo que debo representar una función parida, voy a usar un multiplexor de dos entradas de 5 bits para decidir entre la operación correspondiente a si la entrada es par (si la entrada es $e_4 e_3 e_2 e_1 e_0$, se da si $e_0=0$), y la correspondiente a la entrada impar ($e_0=1$). Pero lo primero, como en el ejercicio 10 b) que un right-shifter permite deshacer el efecto de dividir la entrada por dos, si esto es representado en sin signo. siendo que tiene una entrada c_0 para controlarla salida, vemos que para una entrada de 5 bits: $S_4 = \bar{c}_0 \cdot e_4$, $S_i = \bar{c}_0 \cdot e_i + c_0 \cdot e_{i+1}$ para $0 \leq i \leq 3$, quedando:



Por otro lado, necesitamos realizar la función para triple con la salida y agregando 1. Para ello, podemos hacer un módulo que sume dos entradas de 5 bits con un carry de entrada en 1 (contemplando el +1) y apliquemos dos veces a la entrada del circuito para representar la triplicación ($3n = n+n+n$). Ahora, si bien no tenemos un módulo sumador de 5 bits, tenemos uno de 4 bits (12a) y otro de 1 bit (11a), los cuales podemos juntar para formar dicho sumador. El circuito sería:

notación sería de la forma:

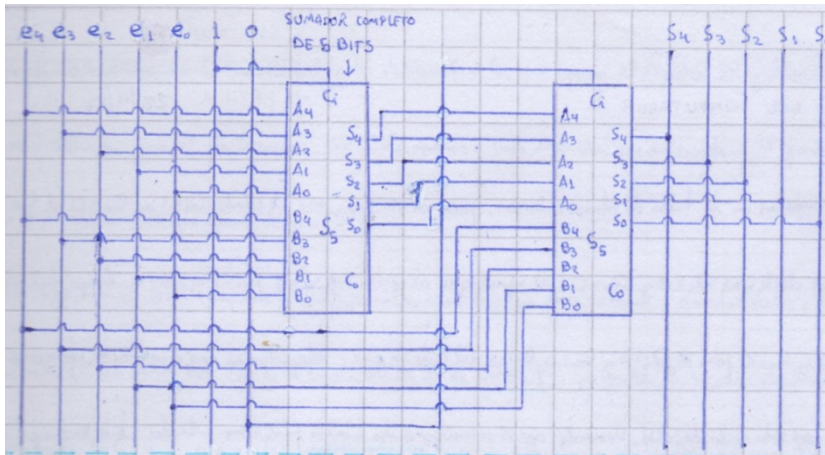


Veamos que esto funciona porque puedo hacer:

$$\begin{array}{r}
 \begin{array}{ccccccc}
 & & & C_i & & & \\
 A_4 A_3 A_2 A_1 A_0 & + & B_4 B_3 B_2 B_1 B_0 & = & A_4 A_3 A_2 A_1 A_0 & + & B_4 B_3 B_2 B_1 B_0 \\
 \hline
 C_0 S_4 S_3 S_2 S_1 S_0 & & & & C_0 S_4 S_3 S_2 S_1 S_0 & & C_0 S_4 S_3 S_2 S_1 S_0
 \end{array}
 \end{array}$$

Haciendo hecho esto, puedo hacer la operación del caso

de entrada impar al hacer:



Otra que se tienen otras operaciones modularizadas, se puede hacer la función con un multiplexor de 2 entradas de 5 bits (se usan repandores de 5 bits) y con e_0 como línea de control ($e_0 = 0 \rightarrow \text{par}$; $e_0 = 1 \rightarrow \text{impar}$). Así, me queda el circuito de la forma:

